

PCI-X PCI-e のデータ転送

データ転送時におけるエラー／ボード認識不具合に関する資料

2012/06/20

ADSTEC

目次

画像データ転送時に発生する問題（過去の事例）	3
不具合の発生したチップセットの例	7
Intel 社製チップセット.....	8
テレダイナマルサが推奨するチップセットの例	9
トランザクション層の機能.....	11
PCI Express のレーン順序と差動信号の特性.....	12
レーン0とレーン1で送信側と受信側で速度差を吸収する機能.....	13
改訂履歴	14
Memo.....	15

序)

本資料は、DALSA 製品の画像データ取得ボード等の PCI-X, PCIe バスを使用したロープロファイルのボードで、ボード認識及びデータ転送、タイムアウト等のエラーの原因となるメカニズムについて記載したものです。

画像データ転送時に発生する問題（過去の事例）

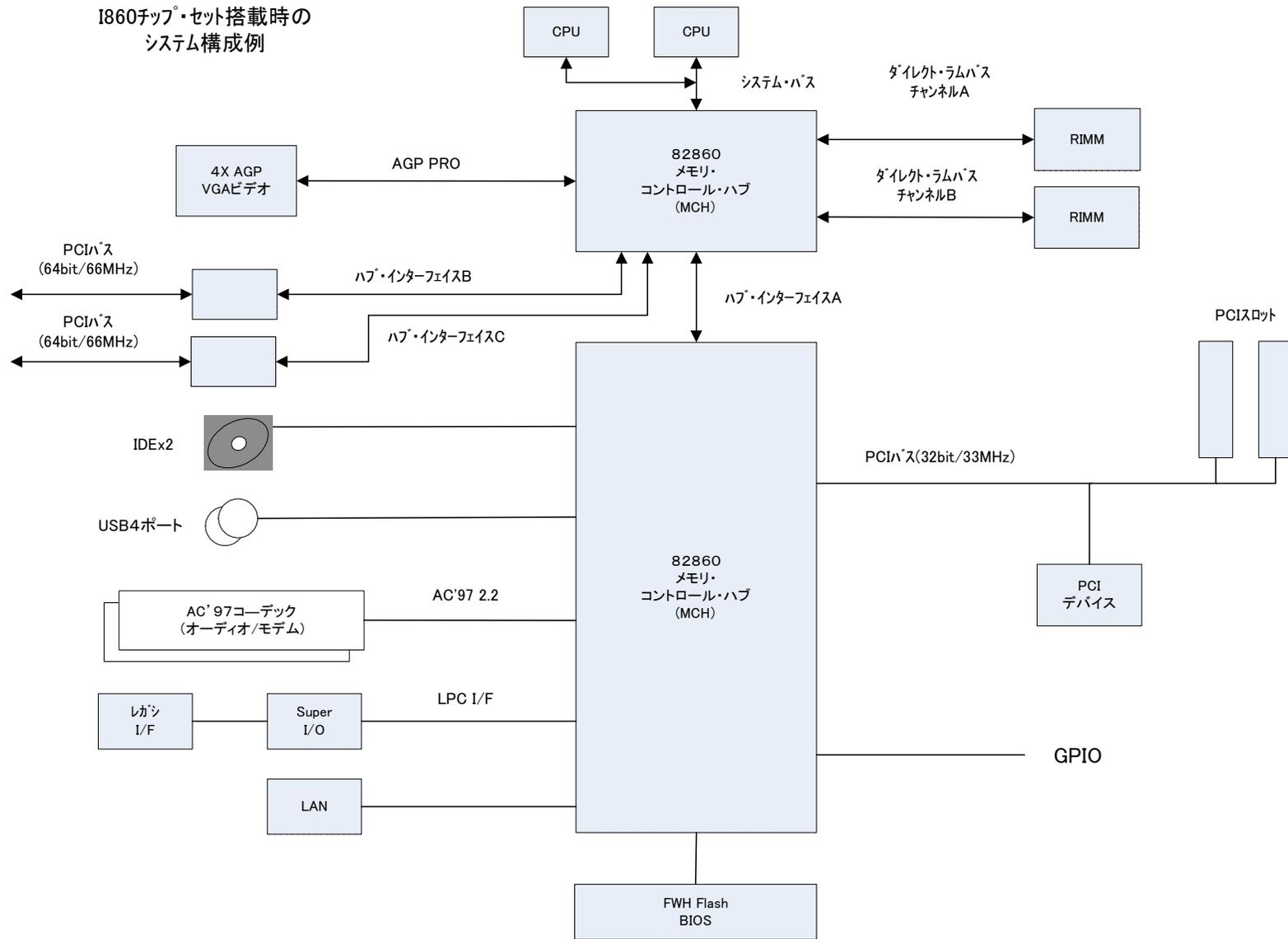
- 画像データ転送後、コールバックを確認し画像処理を実行しデータを取得する。この時、コールバックが1分間に1回おきに返らず、データ漏れが発生しました。
- Buffer-size を $12000 \times 480000 \rightarrow 12000 \times 120000 \times 4$ へ変更

この時、DALSA 製品の X64-CL iPro では問題が発生しないが、X64 Xcelera-CL PX4 で問題が発生しました。この両者の差は PCI-X バスと PCIe バスのデータ転送能力とデータ処理容量の差、データ処理動作タイミングが関係すると考えられます。

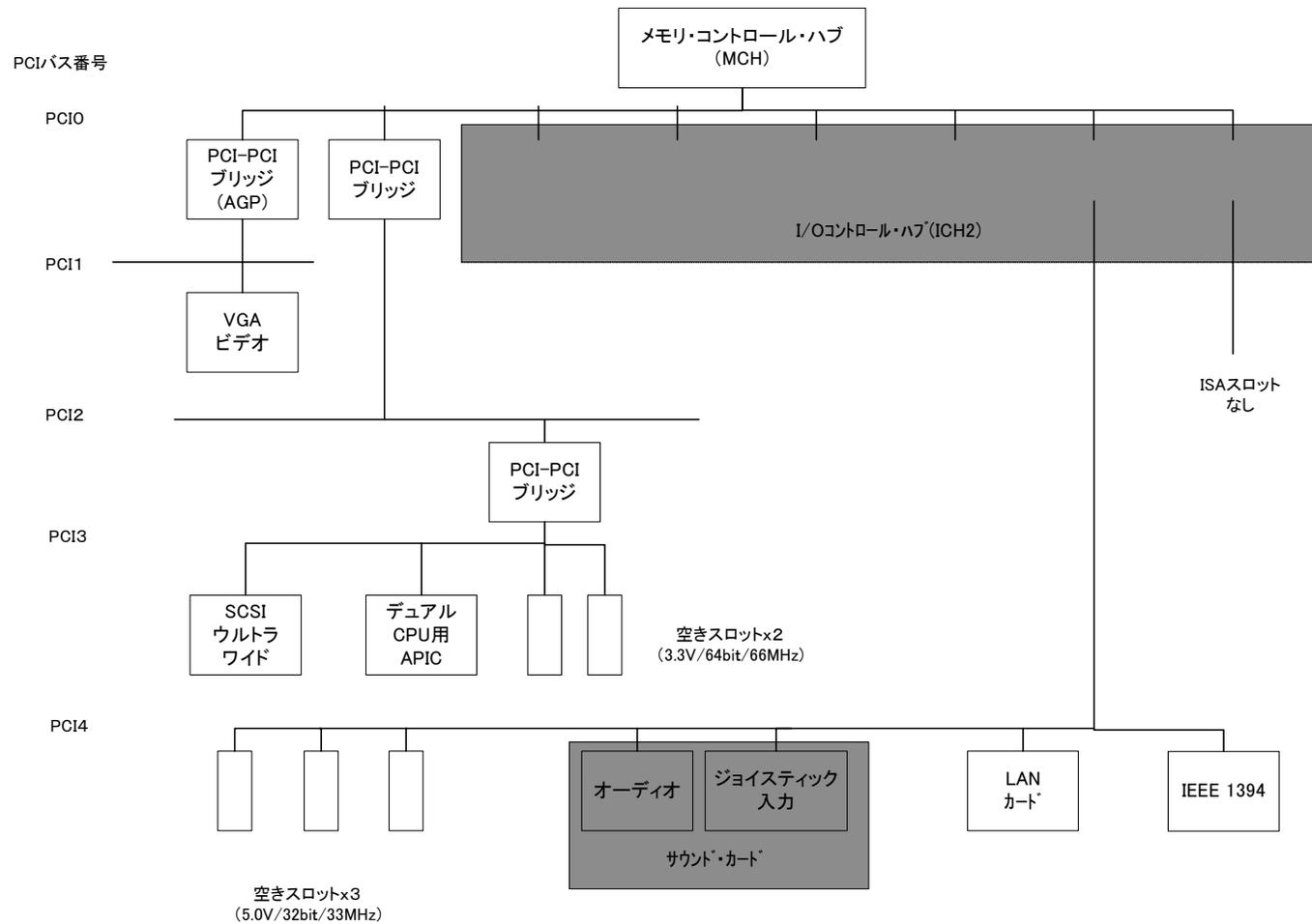
また、これらの原因と考えられる要素以外に、ソフトウェアの処理方法によってエラー（タイムアウト）が発生しない場合もあります。これは、PC のデータ処理能力(CPU：マルチスレッド等)に依存する事が考えられます。

PCI, PCI-Xバス性能比較

種別	規格名	バス幅	クロック周波数	最大データ転送量	最大スロット数
PCI	PCI 3.0	32bit	33MHz	133Mバイト/秒	4~6
	PCI 3.0	32bit	66MHz	266Mバイト/秒	2
	PCI 3.0	64bit	33MHz	266Mバイト/秒	4~6
	PCI 3.0	64bit	66MHz	533Mバイト/秒	2
PCI-X	PCI-X/Mode1	64bit	66MHz	533Mバイト/秒	4
	PCI-X/Mode1	64bit	133MHz	1,066Mバイト/秒	1
	PCI-X/Mode2(DDR)	64bit	133MHz	2,133Mバイト/秒	1
	PCI-X/Mode2(QDR)	64bit	133MHz	4,266Mバイト/秒	1
	PCI-X/Mode2(DDR)	16bit	133MHz	533Mバイト/秒	1
	PCI-X/Mode2(QDR)	16bit	133MHz	1,066Mバイト/秒	1

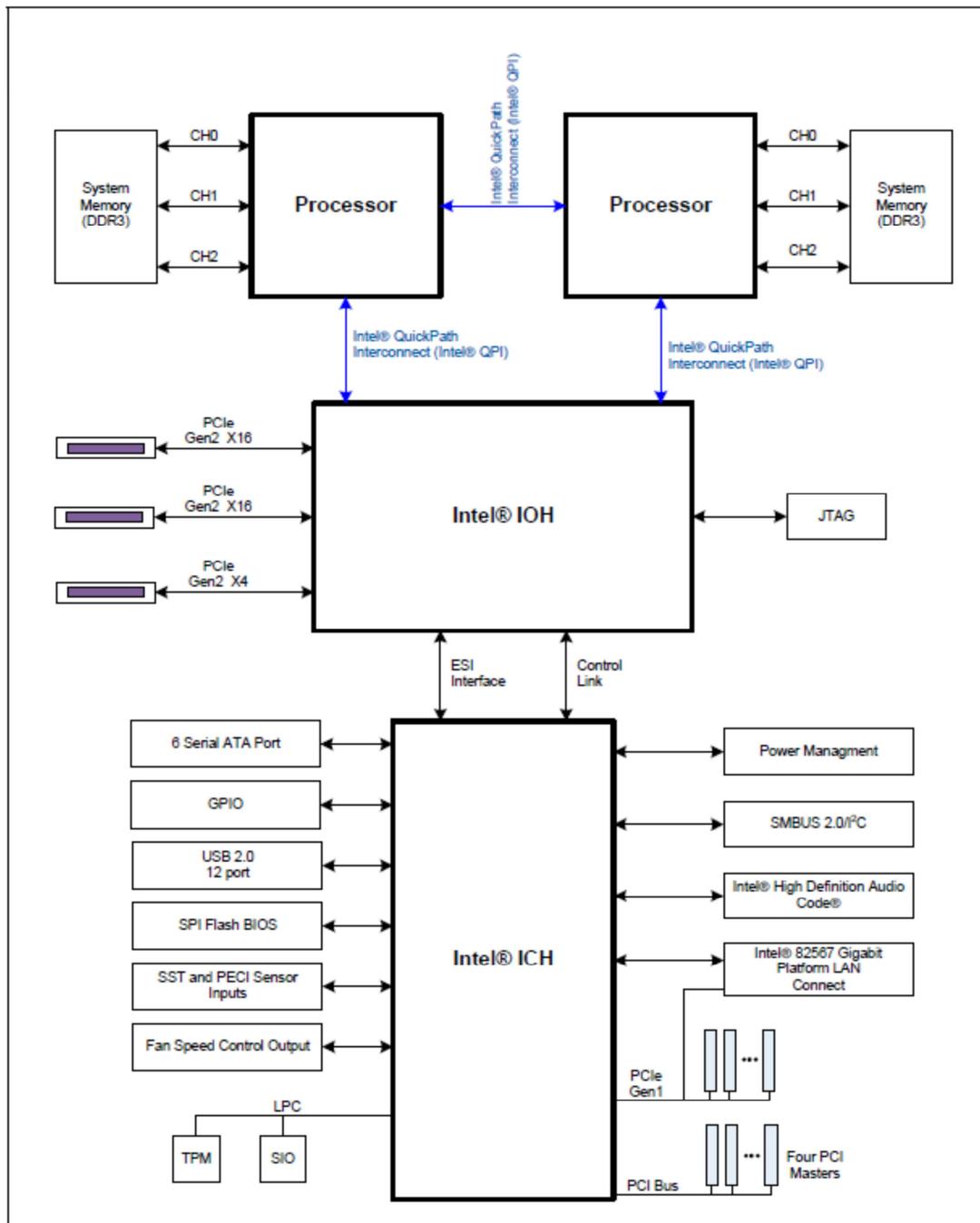


1860チップセットを搭載した
システム構成 (Intelチップセットの場合)



不具合の発生したチップセットの例

Figure 1-1. Intel® 5520 Chipset Example System Block Diagram



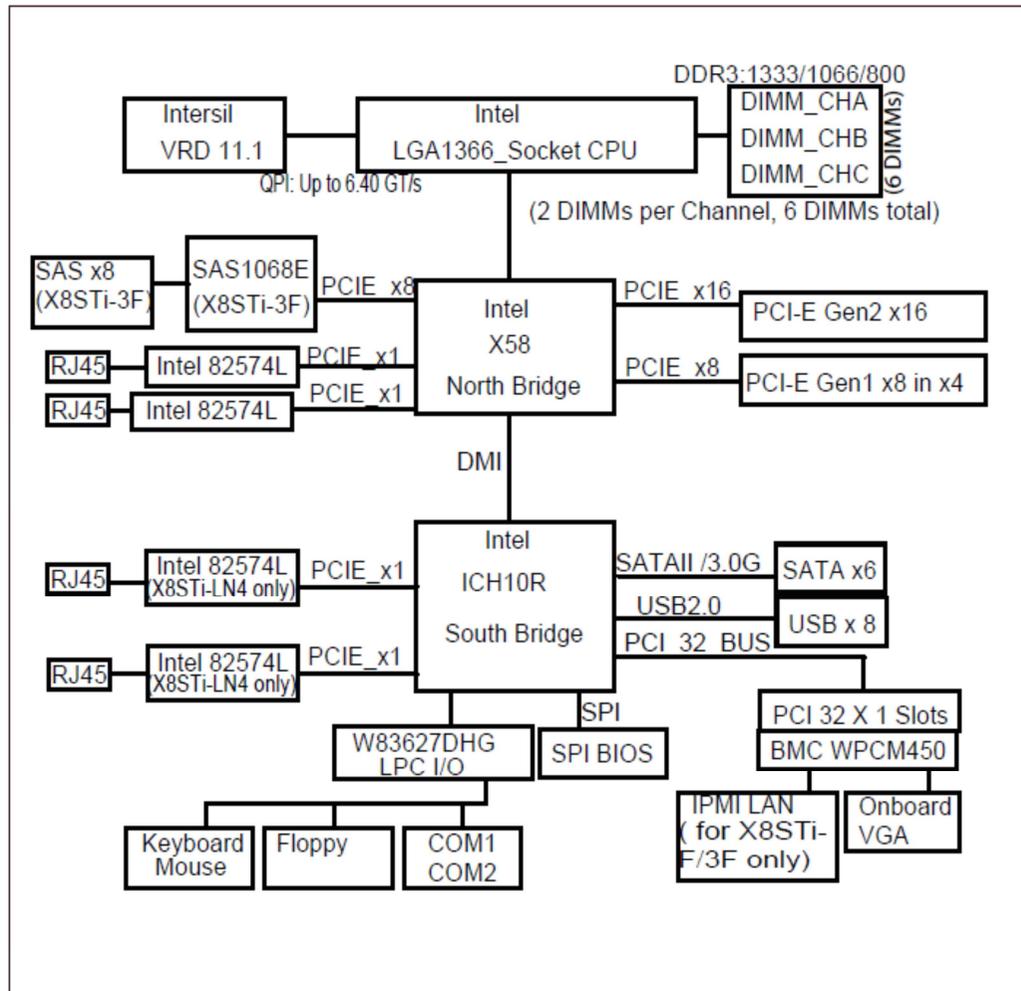
Note: The Intel® 5500 Chipset IOH has only one X16 PCIe* link and 2 X4 PCIe links.

Intel 社製チップセット

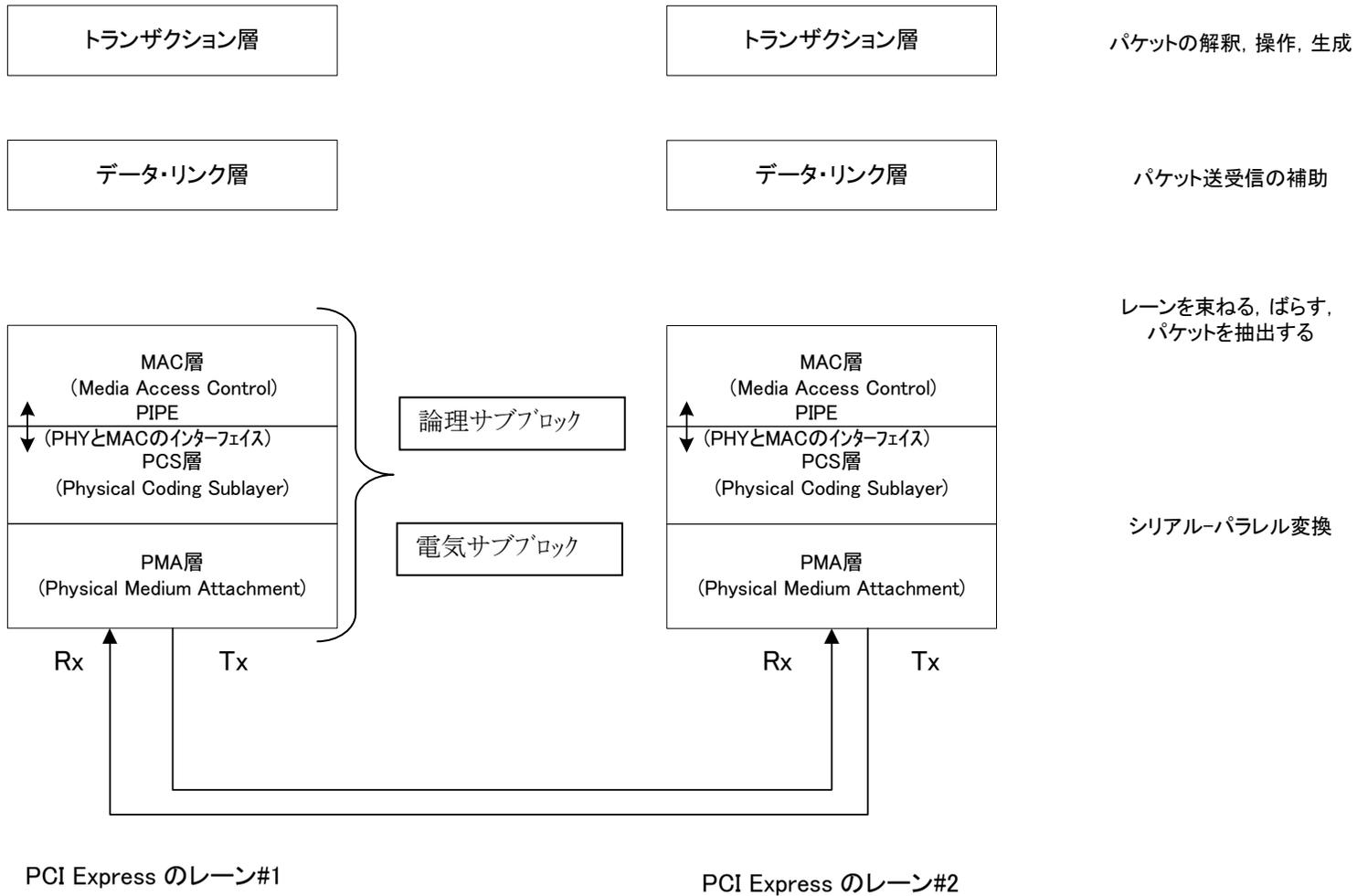
Intel 社製チップセットは、ハブ・アーキテクチャが採用されています。
これまではマザーボード・オンボードのデバイスの接続にも PCI バスが使われてきましたが、IDE や USB の高速化等、より高速／高帯域なバスが必要になってきました。そこでハブ・アーキテクチャが開発されました。

これまでのノース・ブリッジとサウス・ブリッジという構成が、メモリ・コントロール・ハブ（MCH）と I/O コントロール・ハブという構成に置き換わり、これらの間がより高速な専用バスで接続されています。

テレダイナルサが推奨するチップセットの例



PCI Express のプロトコル階層



トランザクション層の機能

TLP と呼ばれるパケットでデータの読み出しや書き込みを要求します。

TLP の処理内容

- メモリ・リクエスト
メモリに対する読み出し/書き込みを要求します。
- I/Oリクエスト
I/Oに対する読み出し/書き込みを要求します。
- コンフィグレーション・リクエスト
コンフィグレーション空間に対する読み出し/書き込みを要求します。
- コンプリーション
リクエスト・パケットに対する応答（読み出しのば場合にはデータが含まれます。）
- メッセージ
割り込みやパワー・マネジメント・リクエスト等を実行します。

データの送受信

データは受信バッファの空きを確認してから送受信を行うフロー制御
PCI Express ではフロー制御と呼ばれ、受信側に十分な空きがあるかどうかを確認してデータ送信を実行します。リセット後にリンクが確立された時、デバイスどうしが自分のバッファサイズをお互いに通知する事によってリンク先の受信バッファサイズを知ります。
受信側は受け取ったデータの処理が終わって空きが出来ると、それを送信側へ通知します。この通知は実際にはデータ・リンク層で実行します。

論理サブブロックと電気サブブロックで高速シリアルインターフェイスを実行します。
物理層は、データ・リンク層から受け取った情報をシリアル化し、リンクの受信側のデバイスと互換性の持つ周波数や帯域で送信します。
物理層は下記の符号化やリンク制御を行う論理ブロックと、実際の信号の送受信を行う電気サブブロックの2つに分けられます。

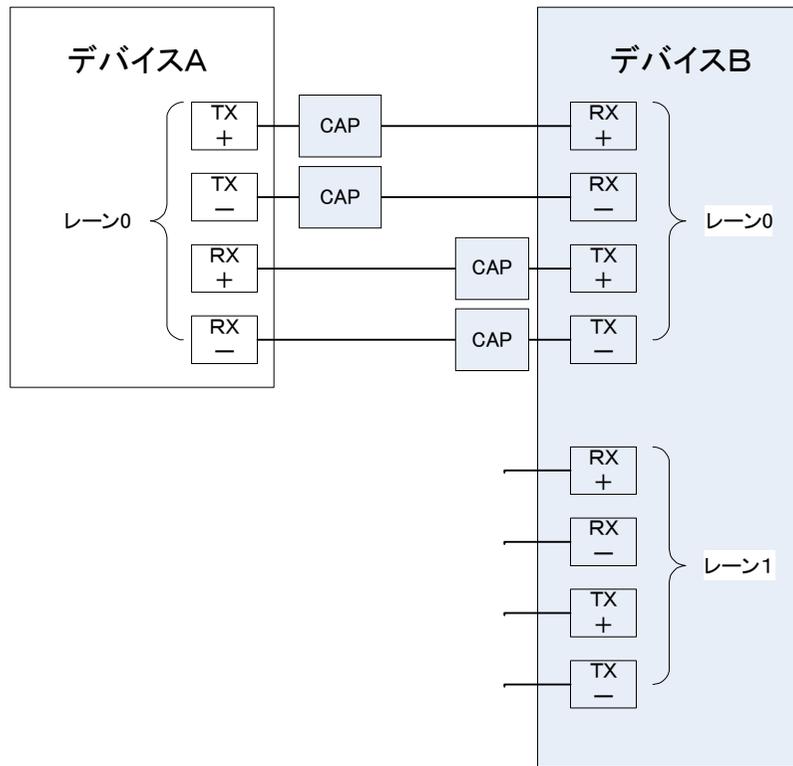
論理サブブロックの役割

- インターフェイスの初期化
- リンク幅とレーン・マッピングのネゴシエーション
- リンク・パワー・マネジメント
- リセット/ホット・プラグ・コントロールとステータス

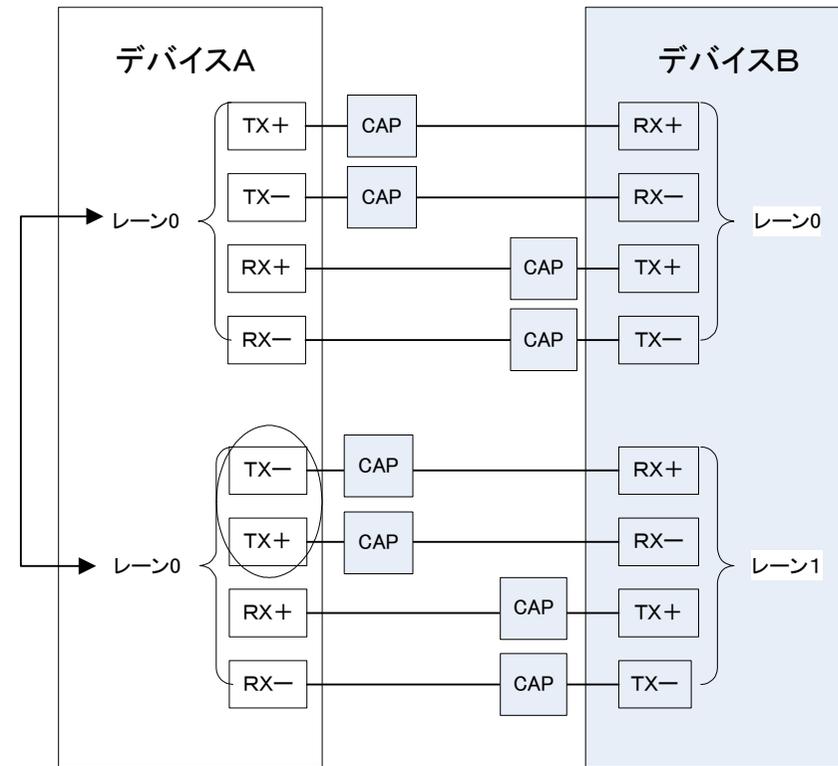
電気サブブロックの機能

- フレーミング
- 8b/10b の符号化・復号化
- スクランブル/デスクランブル
- 多重化されたクロックとデータの再生
- シンボルの送信
- 受信側のバッファリング
- レーン間デスクキュー

上記の処理を実行してデータの送受信が行われます。



(1)差動極性の入れ替えは無く、リンク数が異なる場合



(2)リンク順序が異なり、差動記号の極性も異なる場合

(2)の様に、デバイス間で接続するレーンが異なっても、問題なく受信できる必要があります。同様に差動信号の極性が入れ替わっていても受信できる必要があります。

レーン0とレーン1で送信側と受信側で速度差を吸収する機能

リンクの両端でのデバイスで使用されるリファレンス・クロックには、最大±300ppmの周波数偏差が許容されています。このため、受信側よりも送信側のクロックが速いまたはその逆が起こりえます。この周波数偏差による送信側と受信側間の速度差を吸収するため、エラスティック・バッファと呼ばれるFIFOメモリが使用されます。

このFIFOメモリの量を調整して、速度差を吸収します。

改訂履歴

改訂履歴		
改訂内容	改訂者	改訂日
新規作成		

Memo